

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56059

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/76 27/08	3 3 1		H 0 1 L 21/76 27/08	L 3 3 1 A

審査請求 有 請求項の数 6 F D (全 7 頁)

(21) 出願番号 特願平8-227783

(22) 出願日 平成 8 年(1996) 8 月 9 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 松本 直哉

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

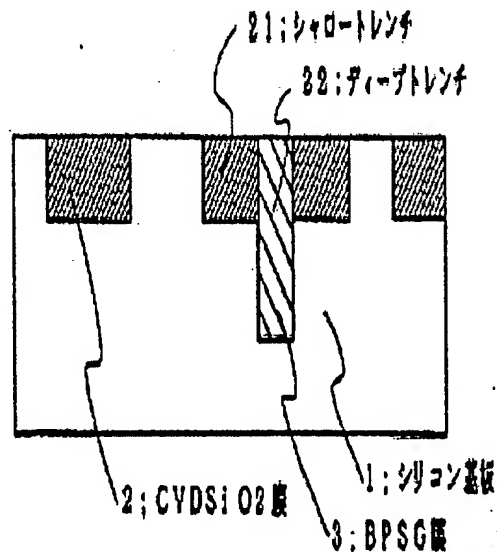
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 MOSトランジスタのしきい電圧がばらつくことがないシャロートレンチと該シャロートレンチ内にディープトレンチと、深さの異なる複数の素子分離構造の提供。

【解決手段】 シリコン基板 1 に、シャロートレンチと該シャロートレンチ内にディープトレンチと、深さの異なる複数の素子分離領域を有し、シャロートレンチには CVD SiO₂ 膜 2 が埋設され、ディープトレンチには BPSG 膜 3 が埋設される構造を有している。MOSトランジスタは不純物を含まない SiO₂ 膜が埋設されたシャロートレンチで分離されているため、シャロートレンチ近傍で拡散層を形成することがない。



【特許請求の範囲】

【請求項 1】 半導体基板に、シャロートレンチと、該シャロートレンチ内にディープトレンチと、互いに深さの異なる複数の素子分離領域を有する半導体装置において、前記シャロートレンチには第 1 の絶縁膜が埋設されており、前記ディープトレンチには第 2 の絶縁膜が埋設されていることを特徴とする半導体装置。

【請求項 2】 シャロートレンチ内にディープトレンチを設け、前記シャロートレンチ及び前記ディープトレンチには互いに異なる材質の絶縁膜が埋設され、さらにディープトレンチ内にバリア層を備えたことを特徴とする半導体装置。

【請求項 3】 前記第 1 の絶縁膜が、不純物を含まないシリコン酸化膜からなり、前記第 2 の絶縁膜が、リン及びボロンを含むシリコン酸化膜であることを特徴とする、前記請求項 1 記載の半導体装置。

【請求項 4】 前記ディープトレンチ内にリンおよびボロンの拡散を妨げるバリア膜を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記バリア膜が、シリコン窒化膜からなることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 (a) 半導体基板にシャロートレンチを形成する工程と、

(b) 該シャロートレンチ内に第 1 の絶縁膜を形成する工程と、

(c) 前記シャロートレンチ内にディープトレンチを形成する工程と、

(d) 前記ディープトレンチ内に第 2 の絶縁膜を形成する工程と、

(e) 前記第 2 の絶縁膜をリフローする工程と、

(f) 前記シャロートレンチおよびディープトレンチ領域以外の第 1 および第 2 の絶縁膜を除去する工程と、を含む、

前記シャロートレンチには前記第 1 の絶縁膜が埋設されており、

前記ディープトレンチには前記第 2 の絶縁膜が埋設されていることを特徴とした半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特に半導体装置の素子分離において、シャロートレンチと該シャロートレンチ内にディープトレンチと、深さの異なる複数の素子分離領域を有する半導体装置に関する。

【0002】

【従来の技術】 MOS トランジスタとバイポーラトラン

ジスタとが混載する B I C M O S 半導体装置において、高集積度を実現するために MOS トランジスタはシャロートレンチで分離され、バイポーラトランジスタ（以下「B I P トランジスタ」と記す）はディープトレンチで分離されている構造が提案されている。

【0003】 シャロートレンチとディープトレンチと深さの異なる複数の素子分離領域を有する半導体装置に関する第 1 の従来技術として、例えば特開平 5-315439 号公報には、図 9 に示すような構成が提案されている。

【0004】 図 9 を参照して、シリコン基板 101 上に、シャロートレンチと、シャロートレンチ内部にディープトレンチが形成されており、溝内部は B P S G 膜 102 で埋設されており、該 B P S G 膜 102 からのリン・ボロンのアウトディフュージョン防止のため、S i O₂ 膜 103 でキャップされている。

【0005】 この従来の半導体装置の製造方法を、図 11 ~ 図 12 に示す。シャロートレンチとディープトレンチをシリコン基板 101 に形成した後、トレンチ内の埋設材料として、シリコン基板 101 と熱膨張係数が比較的近く、加熱によりよりリフローし易い B P S G 膜 102 を堆積した後、トレンチ領域以外の B P S G 膜を除去する（図 11 参照）。

【0006】 その後、リフローを行い平坦化した後、C V D S i O₂ 膜 103 のようなキャップ膜を堆積する（図 12 参照）。この後、ポリッシングを行い平坦化を行う。

【0007】 また、シャロートレンチとディープトレンチが別領域に形成されている構造も提案されており、例えば特開平 2-54559 号公報に提案されている構成を図 10 に示す（「第 2 の従来技術」という）。図 10 を参照して、シリコン基板 101 上にシャロートレンチ 102 とディープトレンチ 121 とが形成されており、ディープトレンチ 121 の上部はシャロートレンチ 102 と同一構造であり第 2 S i O₂ 膜 106 が埋設されている。ディープトレンチ 121 下部の側面には、第 1 C V D S i O₂ 膜 104 が形成されており、ディープトレンチ 121 下部の内部にはポリシリコン膜 105 が埋設されているという構造を有している。

【0008】 この半導体装置の製造方法は、特開平 2-23630 号公報に記載されており、図 13 を参照して、ディープトレンチをシリコン基板 101 に形成したのち、第 1 C V D S i O₂ 膜 104 およびポリシリコン膜 105 を順次堆積する。

【0009】 次に、図 14 を参照して、ポリシリコン膜 105 をシャロートレンチと同等の深さになるまでエッチバックを行い、露出した第 1 C V D S i O₂ 膜 104 をウェットエッチングにより除去する。

【0010】 次に、シャロートレンチを形成し、前記形成したディープトレンチの上部と同時に第 2 S i O₂ 膜

106を堆積し平坦化を行うというものである。

【0011】

【発明が解決しようとする課題】以上説明したように従来技術では、ディープトレレンチを埋設するための材料として、BPSG膜またはポリシリコン膜が使用されていた。該材料は後工程の熱処理による熱膨張起因のストレスが小さいために非常に適していた。

【0012】しかしながら、ディープトレレンチとシャロートレンチがともにBPSG膜で埋設されている、上記第1の従来技術では以下のような問題点があった。

【0013】前述したように、シャロートレンチは、通常、MOSトランジスタの分離に使用されており、ソース・ドレインの拡散層が隣接する構造となる。ところが、後工程の熱処理により、BPSG膜を拡散源にして、ボロン（またはリン）が拡散し、ウェル温度と同程度の拡散層を形成してしまう。この拡散層の濃度は、シャロートレンチの体積依存性があるため（すなわちバターン依存性があるため）、大きくばらついてしまい、特に、図15に示すように、ゲート下部領域の濃度はばらつきにより、MOSトランジスタのしきい電圧が大きくばらついてしまうという問題点を有していた。

【0014】一方、ディープトレレンチとシャロートレンチとが別領域で形成されている上記第2の従来技術においては、BIPトランジスタ間の素子分離に、ディープトレレンチのみが使用されており、BIPトランジスタ間に配線が通るわずかな距離が必要とされる場合、図16に示すようなレイアウトとならざるを得ない。この場合、シャロートレンチ上に形成された配線にくらべ、対半導体基板容量が増加する。その理由は、対半導体基板容量は、その配線と半導体基板間の絶縁膜のトータル膜厚に反比例するためである（図17および図18参照）。すなわち、図17に示すように、シャロートレンチが形成されていない領域上の配線108を使用すると、対半導体基板容量により動作速度が低下する。なお、図17及び図18は、第2の従来技術における対シリコン基板容量を説明するための図であり、図17は、図16のA-A'線の断面を示している。また、図18において、106はシャロートレンチに設けられた第2SiO₂膜を示している。シャロートレンチが存在しない領域上に形成されている配線（図17参照）の対シリコン基板配線容量は、シャロートレンチが存在する領域上に形成されている配線（図18参照）の対シリコン基板配線容量の例えば約1.5倍とされている。

【0015】また、上述したように、配線のレイアウトにより単位配線長当たりの容量が変化するので、いわゆるゲートアレイのような配線レイアウトをユーザが自由に設計する製品に適用するのは困難であるという問題点を有していた。

【0016】さらに、製造方法について、従来はディープトレレンチとシャロートレンチを平坦化するために半導

体基板上トレレンチ埋設材料の除去が2回必要であった。

【0017】該工程は半導体基板上の膜厚をモニターしながら行う必要があり、自動化が困難な工程である。そのため工期が長くなるという問題点も有していた。

【0018】したがって、本発明は、上記事情に鑑みてなされたものであって、その目的は、MOSトランジスタのしきい電圧のばらつきが小さく、配線容量のレイアウトによる増加の防止を図る素子分離構造を提供すると共に、工数を短縮する製造方法を提供することにある。

【0019】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体装置は、半導体基板上に、シャロートレンチと、該シャロートレンチ内にディープトレレンチと、深さの異なる複数の素子分離領域を有しており、シャロートレンチには第1の絶縁膜が埋設され、ディープトレレンチには第2の絶縁膜が埋設されていることを特徴としている。

【0020】

【発明の実施の形態】本発明の好ましい実施の形態について説明する。本発明は、その好ましい実施の形態において、シャロートレンチ（図1の21）と該シャロートレンチ内にディープトレレンチ（図1の22）を有し、シャロートレンチには第1の絶縁膜（図1の2）が埋設されており、ディープトレレンチには第2の絶縁膜（図1の3）が埋設され、第1の絶縁膜は不純物を含まないシリコン酸化膜、第2の絶縁膜はリン・ボロンを含むシリコン酸化膜という構造を有している。

【0021】また、本発明の製造方法に関しては、半導体基板上にシャロートレンチを形成する工程と、該シャロートレンチ内に第1の絶縁膜を形成する工程と、シャロートレンチ内にディープトレレンチを形成する工程と、ディープトレレンチ内に第2の絶縁膜を形成する工程と、第2の絶縁膜をリフローする工程と、シャロートレンチおよびディープトレレンチ領域以外の第1および第2の絶縁膜を除去する工程を含み、半導体基板上のトレレンチ埋設材料の除去が、図5の後、1回ですむという特徴を有している。

【0022】本発明の実施の形態においては、MOSトランジスタは、不純物を含まないSiO₂膜が埋設されたシャロートレンチで分離されているため、シャロートレンチ近傍で拡散層を形成することがない。よって、MOSトランジスタのしきい電圧がばらつくことがない。

【0023】しかも、素子分離領域には必ずシャロートレンチが存在するため、対シリコン基板配線容量もレイアウトによりばらつくことはない（図7参照）。

【0024】

【実施例】本発明の実施例について図面を参照し詳細に説明する。

【0025】図1に、本発明の第1の実施例の半導体装置の断面を模式的に示す。図1を参照すると、本実施例

においては、シリコン基板1に、シャロートレンチ21と、このシャロートレンチ21内にディープトレンチ22と、互いに深さの異なる複数の素子分離領域を有しており、シャロートレンチにはCVD SiO₂膜2が埋設されており、ディープトレンチ22にはBPSG膜3が埋設されている構造を有している。

【0026】本発明の実施例の半導体装置の製造フローを図3及び図4に示す。シリコン基板1上に、例えば深さ0.3~0.5µmのシャロートレンチを形成した後、CVD（化学気相成長）SiO₂膜2を好ましくは0.6~0.8µm成長する（図3）。

【0027】次に、シャロートレンチ内に、好ましくは幅が0.5~1.0µm深さが3.5~5.5µmのディープトレンチを形成した後、BPSG膜3を、好ましくは、0.8~1.5µm成長し、850~1000℃でリフローを行う（図4参照）。

【0028】次に、化学機械的研磨法（CMP法）により、シリコン基板1上のBPSG膜3、CVD SiO₂膜2を順次除去すると、図1に示した構造を得ることができる。

【0029】図7に、第1の実施例における図6の対シリコン基板容量を模式的に示す。本実施例においては、素子分離領域には、必ずシャロートレンチが存在するため、対シリコン基板容量もレイアウトによりばらつくことはない。

【0030】図2に、本発明の第2の実施例の半導体装置の断面を模式的に示す。シリコン基板に、シャロートレンチと該シャロートレンチ内にディープトレンチと、深さの異なる複数の素子分離領域を有しており、シャロートレンチにはCVD SiO₂膜2が埋設されており、ディープトレンチにはBPSG膜3が埋設されており、シリコン基板1とBPSG膜3との間に不純物拡散防止用のバリア膜として4、シリコン窒化膜4が存在するという構造を有している。

【0031】本発明の第2の実施例の半導体装置の製造フローを図5及び図6に示す。シリコン基板1上に、好ましくは深さ0.3~0.5µmのシャロートレンチを形成した後、シリコン窒化膜4を好ましくは0.05~0.1µm、CVD SiO₂膜2を好ましくは0.6~0.8µm順次成長する（図5参照）。

【0032】次に、シャロートレンチ内に、好ましくは幅が0.5~1.0µm深さが3.5~5.5µmのディープトレンチを形成した後、BPSG膜3を好ましくは0.8~1.5µm成長し850~1000℃でリフローを行う（図6参照）。

【0033】次に、化学機械的研磨法（CMP法）により、シリコン基板1上のBPSG膜3、CVD SiO₂膜2を除去する。

【0034】次に、シリコン窒化膜4をウェットエッチングにより除去すると、図2に示した構造を得ることが

できる。

【0035】第2の実施例の作用効果を説明するため、ディープトレンチ内にバリア膜が存在しない場合に、BIPトランジスタを形成した例を図8に示す。

【0036】図8を参照して、シリコン基板1（この例の場合はP型）に、N型埋込層7およびN型コレクタ領域8が形成されており、N型埋込層7およびN型コレクタ領域8を囲むようにディープトレンチが形成されており、該ディープトレンチ内には、BPSG膜3が埋設されている。

【0037】一般に、BPSG膜はリン濃度よりボロン濃度のほうが高いので、シリコン基板にはP型拡散層10が形成されている。

【0038】また、N型コレクタ領域8内にN型コレクタ引き出し9、外部ベース層11、真性ベース層12が形成されており、該領域以外はCVD SiO₂膜2が埋設されたシャロートレンチが形成されている。

【0039】真性ベース層12内に、エミッタ拡散層13が形成されており、該拡散層13の上部に拡散源となる不純物を含むエミッタポリシリコン膜14が形成されており、配線と拡散層を分離する絶縁膜5、および、配線と拡散層接続用に開口されたコンタクトに埋設されたWプラグ15および配線6から構成されている。

【0040】ここで、BIPトランジスタの高速動作を阻害する要因の一つとして、コレクタ・基板間寄生容量がある。図8の本線部のPN接合容量が該コレクタ・基板間寄生容量16に該当する。

【0041】図2に示した第2の実施例では、上述したように、P型拡散層が形成されないため、コレクタ・基板間寄生容量が減少するという特徴を有している。本発明の第2の実施例によれば、コレクタ・基板間寄生容量を第1の実施例と比べて約40%も削減できる。このため、バリア膜を形成による製造工程増加に伴うコスト上昇より、高速動作が優先する製品に適用される。

【0042】

【発明の効果】以上説明したように、本発明は下記記載の効果を実現する。

【0043】（1）本発明の第1の効果は、MOSトランジスタのしきい値電圧のばらつきを大幅に低減する（例えば従来技術の1/2以下）という、ことである。

【0044】その理由は、MOSトランジスタは不純物を含まないSiO₂膜が埋設されたシャロートレンチで分離されているため、シャロートレンチ近傍で拡散層が形成されないためである。

【0045】（2）本発明の第2の効果は、対シリコン基板容量もレイアウトによりばらつきが生じることを抑止する、ということである。

【0046】その理由は、従来、シャロートレンチが存在しない領域上に形成されている配線の対シリコン基板容量は、シャロートレンチが存在する領域上に形成

されている配線の対シリコン基板配線容量の約1.5倍であったが、本発明では、全ての配線がシャロートレンチ上にあるため、このような差が無くなるためである。

【0047】(3) 本発明の第3の効果は、平坦化の工程が1回少なくしたことにより、工期を大幅に短縮(約半日短縮)することができる、ということである。

【0048】(4) また、本発明の第4の効果は、バリア層を設けたことにより、コレクタ・基板間寄生容量を大幅に削減できることである。

【0049】その理由は、ディープトレンチの近傍にP型拡散層が形成されないことでコレクタ・基板間寄生容量が減少するためである。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の構成を示す断面図である。

【図2】 本発明の第2の実施例の構成を示す断面図である。

【図3】 本発明の第1の実施例の製造工程を示す断面図(その1)である。

【図4】 本発明の第1の実施例の製造工程を示す断面図(その2)である。

【図5】 本発明の第2の実施例の製造工程を示す断面図(その1)である。

【図6】 本発明の第2の実施例の製造工程を示す断面図(その2)である。

【図7】 本発明の第1の実施例における対シリコン基板容量を模式的に示す図である。

【図8】 本発明の第1の実施例のコレクタ・基板間寄生容量を模式的に示す図である。

【図9】 第1の従来技術の断面を示す図である。

【図10】 第2の従来技術の断面を示す図である。

【図11】 第1の従来技術の製造工程を説明するための

断面図(その1)である。

【図12】 第1の従来技術の製造工程を説明するための断面図(その2)である。

【図13】 第2の従来技術の製造工程を説明するための断面図(その1)である。

【図14】 第2の従来技術の製造工程を説明するための断面図(その2)である。

【図15】 第1の従来技術の半導体装置の平面図である。

【図16】 第2の従来技術の半導体装置の平面図である。

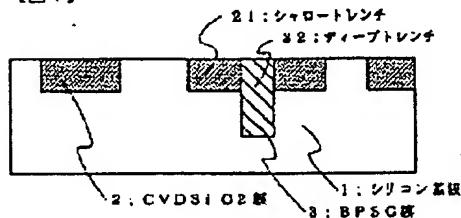
【図17】 第2の従来技術における対シリコン基板容量を説明するための図(その1)である。

【図18】 第2の従来技術における対シリコン基板容量を説明するための図(その2)である。

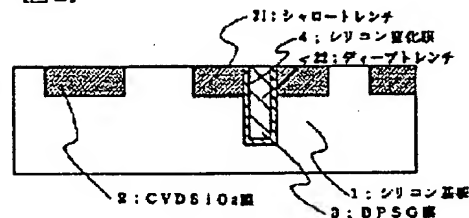
【符号の説明】

- 1、101 シリコン基板
- 2、103、104、106 CVD SiO₂膜
- 3、102 BP SG膜
- 4 シリコン窒化膜
- 105 ポリシリコン膜
- 5、107 絶縁膜
- 6、108 配線
- 7 N型埋込層
- 8 N型コレクタ領域
- 9 N型コレクタ引き出し
- 10 P型拡散層
- 11 外部ベース層
- 12 真性ベース層
- 13 エミッタ層
- 14 エミッタポリシリコン膜
- 15 Wプラグ

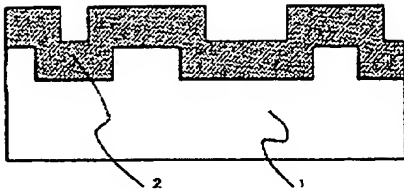
【図1】



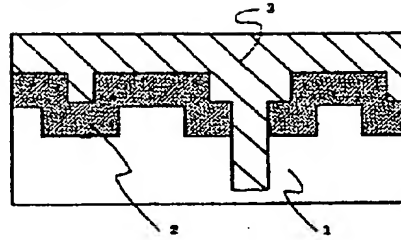
【図2】



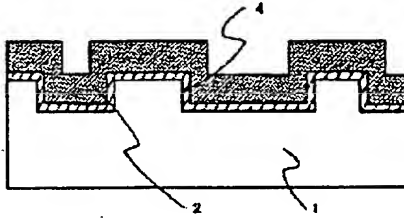
【図3】



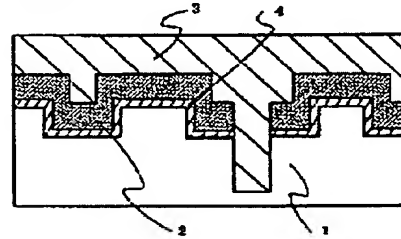
【図4】



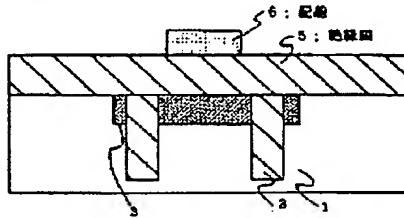
【図5】



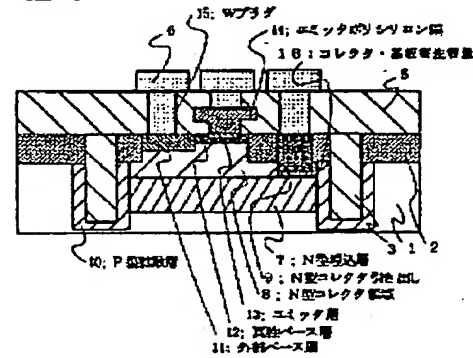
【図6】



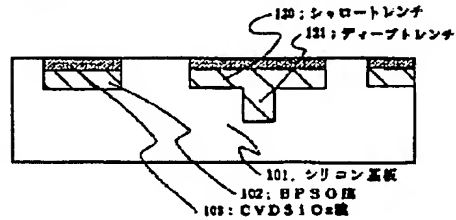
【図7】



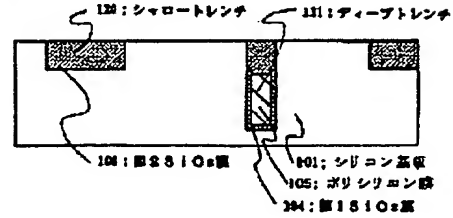
【図8】



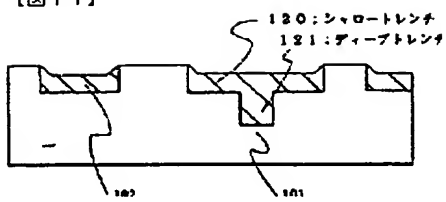
【図9】



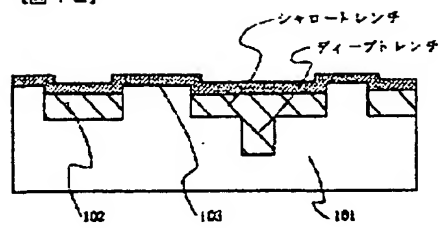
【図10】



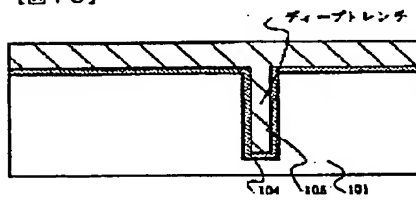
【図11】



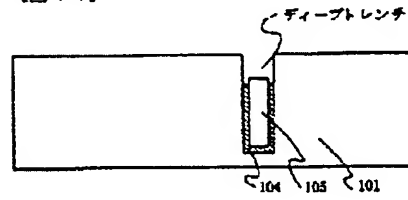
【図12】



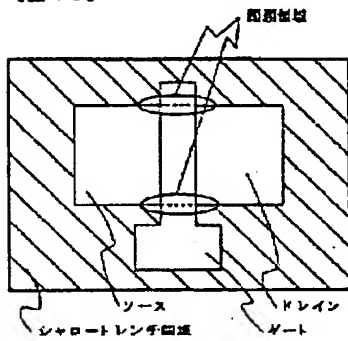
【図13】



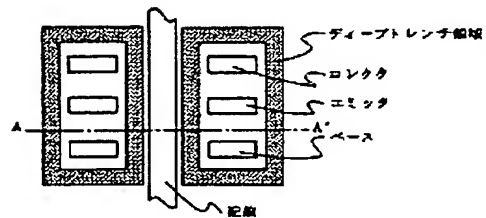
【図14】



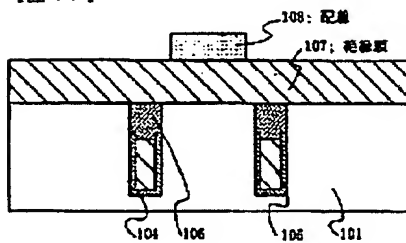
【図15】



【図16】



【図17】



【図18】

